

⑪ 公開特許公報 (A)

昭62-217742

⑤Int.Cl.

H 04 L 1/08
1/00

識別記号

厅内整理番号

④公開 昭和62年(1987)9月25日

6651-5K
B-6651-5K

審査請求 未請求 発明の数 1 (全5頁)

⑤発明の名称 データ通信制御装置

②特 願 昭61-61136

②出 願 昭61(1986)3月19日

⑦発明者 太田 博之 刈谷市昭和町1丁目1番号 日本電装株式会社内

⑧出願人 日本電装株式会社 刈谷市昭和町1丁目1番地

⑨代理人 弁理士 鈴江 武彦 外2名

BEST AVAILABLE COPY

明細書

1. 発明の名称

データ通信制御装置

ピットを用いた復号化による第2の誤り訂正手段とを具備し、

上記第1あるいは第2の誤り訂正手段によって訂正された情報を受信処理するようにしたことを特徴とするデータ通信制御装置。

2. 特許請求の範囲

情報ピットに検査ピットを付加して構成した符号化されたデータフレームを複数回繰返し伝送する手段と、

上記繰返し伝送された複数のデータフレームをそれぞれ受信し、上記データフレーム単位でそれぞれ記憶する手段と、

上記記憶されたデータフレーム数が特定数以上である第1の状態と、上記特定数以下である第2の状態とを判別する手段と、

この手段で第1の状態と判定されたときに実行される、上記記憶された複数のデータフレームの情報ピットを多数決処理する第1の誤り訂正手段と、

上記手段で第2の状態と判定されたときに実行される、上記記憶されたデータフレームの検査

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、特に同一データが繰返し送信されるような通信方式で誤り訂正が実行されるようにしたデータ通信制御装置に関する。

【従来の技術】

符号化された情報を交換するデータ通信にあって、信頼性の高いデータ交換が実行されるようにする高い通信品質を維持するためには、一般に符号化による誤り検出、さらに訂正動作を実行させている。

この誤り検出さらに訂正動作を実行する手段としては、例えばハミング符号を使用する手段が知

られている。このハミング符号は、情報ビットにこの情報ビット数に対応したビット数の検査ビットを付加して1フレームの単位情報を構成するようにして使用されるもので、この1フレームの情報が送信されるようになる。そして、受信側では受信された1フレームの情報を、その1フレーム毎にパリティ検査行列を乗じて、その結果となるシンドロームによって伝送ビットの誤りを検出し、さらに訂正するようしている。

すなわち、受信側にあっては、伝送情報の誤りを検出しさらにその誤りを訂正するために、伝送されたフレーム単位の情報に対して、それぞれ例えばパリティ検査行列の乗算を実行しなければならない。したがって、この伝送データのチェックに多くの手数と共に時間を要するようになるものである。

上記例に示したハミング符号は比較的簡単な場合であるが、さらに高品質のデータ通信を実行させるためには、より高度な符号化を行う必要がある。このため、伝送されたデータの誤り検出さら

ると共に、受信側にあっては受信されたデータフレームをフレーム単位にしてそれぞれ記憶設定する。そして、この記憶されたデータフレーム数の多い第1の状態、および記憶フレーム数の少ない第2の状態を判別し、上記第1の状態では多数決処理によって正しいデータを判別し、第2の状態では検査ビットを用いた復号化による誤り検出および訂正を実行するようしている。

【作用】

上記のようなデータ通信制御装置にあっては、通信回線が良好な状態にあり、送信されたデータフレームが多数受信された状態では、簡単な多数決処理によって正確な伝送データが確認されるようになる。そして、通信回線の状態が悪く、受信されたフレームデータ数が少ないような状態となつた場合のみに、検査ビットを用いた誤りデータの検出並びに訂正動作が実行されるようになるものであり、特に受信されたデータが一旦記憶処理されるようにしているものであるため、データ通

に訂正を行うためには、さらに多くの時間を必要とするようになるものであり、データ通信の高速化の大きな障害の1つとなる。そして、このデータ通信のための装置、さらに制御のためのソフトウェアの複雑化の問題が生ずるようになる。

【発明が解決しようとする問題点】

この発明は上記のような点に遭なされたもので、特に同一データが繰返し送信されるようにした場合、上記のような伝送されたデータの誤りの検出、さらに誤り訂正が高速化して実行されるようにし、またこのための誤り制御手段が充分に簡単に構成されるようにして、高い通信品質が確実に得られるようにするデータ通信制御装置を提供しようとするものである。

【問題点を解決するための手段】

すなわち、この発明に係るデータ通信制御装置にあっては、情報ビットに検査ビットを付加して構成されたデータフレームを複数回繰返し伝送す

信の高速化並びに装置の簡易化が効果的に実行されるようになる。

【発明の実施例】

以下、図面を参照しこの発明の一実施例を説明する。第1図はその構成を示すもので、送信端末11では送信すべき情報内容に対応した情報ビットを発生する。この送信端末11で発生された情報ビットは、符号化回路12に送られ、上記情報ビットを誤り訂正符号によって符号化し、検査ビットを付加したデータフレームとして送信装置13に送るようとする。そして、この送信装置13では上記データフレームをアンテナ14から繰返し送信するものである。

この送信データは受信側のアンテナ21を介して受信装置22で受信されるようになるもので、この受信データはフレーム単位にして記憶装置23で記憶され蓄積されるようになる。すなわち、この記憶装置23は情報ビットおよび検査ビットからなるフレームデータをそれぞれ記憶する記憶エリアを

複数有するように構成されているもので、上記繰返し送信された複数のフレームデータそれぞれを上記記憶エリアそれぞれで記憶され蓄積されるようをしているものである。そして、この記憶装置23で記憶蓄積された複数のフレームデータに基づいて、誤り制御装置24で伝送された情報の誤り検出並びに訂正処理を実行し、正確な状態とされた情報が受信端末25に供給されるようになるものである。

第2図は、上記符号化回路12で符号化され、送信される1つのフレームデータの状態を示すもので、複数のビットによって構成される情報ビット群に対して、この情報ビット群のビット数に対応したビット数で構成される検査ビット群が付加された構造である。

このような構成のデータフレームを送信装置13から複数個繰返し送信すると、通信状態の良好な場合には、上記繰返し送信されたフレームデータがほとんど受信装置22で受信され、記憶装置23のフレーム単位の記憶エリアに対して、第3図で示

ームの情報ビット群の全体を比較して、最も多く発生したフレームの情報ビットを、正しい情報ビットを設定されたフレームと判断させるようにする。

また、各フレームの情報ビット群の各ビットを1ビット毎に抽出し、ビット単位に多数決を取ることによって、正しいビットを判定するようにしてもよい。

そして、上記誤り制御回路24で上記第4図で示したような第2の状態と判断された場合には、この誤り制御回路24で検査ビットを用いて符号の復号化を施し、正しいデータが抽出されるようとする。

上記復号化の手段としては、例えば1ビットの誤り訂正が実行できるハミング符号(7, 4)による方法が採用できる。このハミング符号は、情報ビットが4ビットで、検査ビットが3ビットにして合計7ビットのフレームデータの符号である。この場合、 X_0 、 X_1 、 X_2 、 X_3 で情報ビットが構成され、 X_4 、 X_5 、 X_6 で検査ビットが構

すように受信されたフレームデータそれぞれが記憶蓄積されるようになる。この場合蓄積されたデータのフレーム数は、「1」より充分に多く、特定される数より多い状態とされる。

また、通信状態が悪い場合には、受信装置22で受信されたフレーム数が、第4図で示すように限られた数となる。この数は上記特定されるフレーム数より小さな状態となるものであり、「1」に近い状態となる。尚、上記第3図および第4図において、斜線で示した部分は誤りの発生したビットを示している。

すなわち、誤り制御回路24では、記憶装置23に記憶されたデータのフレーム数によって、上記特定フレーム数より多い第1の状態、および上記特定フレーム数より少ない第2の状態を判別するもので、第3図で示したような第1の状態と判別されたならば、上記複数の記憶フレームデータの中から情報ビットを切り出し、この切り出された複数の情報ビット群に基づいて多数決処理を行う。

この多数決処理の手段としては、例えば各フレ

成されるものとする。

すなわち、このハミング符号による誤り訂正を実行する場合には、まず送信側の符号化回路12で、送信端末11から送られてきた情報ビットに基づいて、次のような演算を実行して検査ビット X_4 、 X_5 、 X_6 を生成する。

$$X_8 - X_3 + X_1 + X_0 \pmod{2}$$

$$X_5 - X_3 + X_2 + X_1 \pmod{2}$$

$$X_4 - X_2 + X_1 + X_0 \pmod{2}$$

すなわち、4ビットの情報ビット X_0 ～ X_3 に対して3ビットの検査ビット X_4 ～ X_6 を付加した第2図で示したような構造のフレームデータをこの符号化回路12で作製し、このフレームデータが繰返し送信されるようにする。

そして、受信側で第3図で示すような状態で受信された場合には、前述したように多数決処理を実行するものであり、第4図で示したように通信状態が悪い状態で受信された場合には、復号化のために第5図で示すような演算を実行する。

そして、この演算の結果のSはシンドロームと

呼ばれるものであり、このシンドロームSによって誤りビットを検出し、この誤りビットを訂正するようになるものである。

具体的な例によって説明すると次のようになる。まず、

(X₀、X₁、X₂、X₃)

- (0 0 1 0)

とすると、

(X₀ ~ X₆) - (0 0 1 0 1 1 0)

の状態のフレームデータとなるものであり、このデータで例えば情報ビットX₂に誤りがあって、「X₂ = 0」となったとすると、受信側では第6図で示すようなシンドロームの演算が実行されるようになる。そして、この結果シンドロームS(-1 1 0)は破線で囲んだ部分と同じとなるもので、これによって情報ビットX₂が誤りビットであることが検出されるようになる。

そして、この検出結果に対応して、ビットX₂を「1」に反転させるように訂正すれば、この伝送情報の誤り訂正が実行されるようになり、受信

ビット部分のみを多数決処理し、正しい情報ビットを作成するものである。

また、上記ステップ102でフレーム数が特定される数より少ない第2の状態と判断されたならば、ステップ104に進んで前述したような復号化処理を実行し、誤りビットを検出して、この誤りビットを正しいビット情報に訂正処理するものである。

このようにして伝送されたデータ情報の誤り検出並びに訂正制御を実行するようにすると、良好な通信状態が設定されている場合には、複雑な復号化処理を実行することができないので、そのための装置並びにソフトウェアに対する負担が充分に軽減されるようになり、処理時間の短縮も効果的にはかかるようになる。

また、通信状態が悪いような場合にあっては、誤り訂正符号によって高い通信品質が保たれるようになるものであり、特に伝送され受信されたデータが一旦記憶装置に記憶蓄積されるようにしているものであるため、通信速度に影響を与えることなく、高速通信制御が効果的に実現できるよう

端末25に正しい情報データが供給されるようになる。

以上説明したハミング符号(7、4)は、誤り符号訂正手段の中で簡単な例を示したものであるが、さらに多くの誤り訂正を効果的に実行させるためには、さらに高級な符号を使用すればよいものである。

第7図は上記のような伝送されたデータの誤り訂正処理の流れを示したもので、この処理は例えば誤り制御回路24の部分をマイクロコンピュータによって構成することによって簡単に実行できるすなわち、ステップ101で受信装置22で受信されたデータを、フレーム単位で記憶装置23に記憶し蓄積する。そして、ステップ102で上記蓄積されたフレーム数が特定される一定数以上か否かを判定する。この場合、上記特定される数は、統計的に適宜決定すればよい。

このステップ102でフレーム数が特定された数より多い第1の状態と判断されたならばステップ103に進むもので、このステップ103では情報ビ

になるものである。

[発明の効果]

以上のようにこの発明に係るデータ通信制御装置によれば、特に通信条件の整った状態では、最も単純な多数決処理によって正しいデータ通信が保証されるようになるものであり、そして通信条件の悪い状態においてのみ訂正符号による誤り訂正が実行されるようになる。したがって、このデータ通信制御装置を充分に簡略化して構成できるものでありながら、その通信品質は充分保証されるようになる。さらに、伝送されたデータを一旦記憶装置に蓄積する処理を実行することによって高速通信が実現されるようになる。

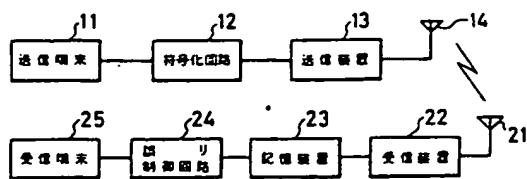
4. 図面の簡単な説明

第1図はこの発明の一実施例に係るデータ通信制御装置を説明する構成図、第2図は上記装置で使用されるデータの状態を説明する図、第3図および第4図はそれぞれ上記装置で受信され記憶さ

れたデータの状態を説明する図、第5図および第6図はそれぞれ上記装置における復号化演算の状態およびシンドローム演算の状態を示す図、第7図は上記装置の誤り訂正処理の流れを説明するフロー図である。

11…送信端末、12…符号化回路、13…送信装置、22…受信装置、23…記憶装置、24…誤り制御回路、25…受信端末。

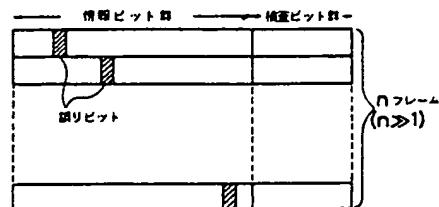
出願人代理人 弁理士 鈴江 武彦



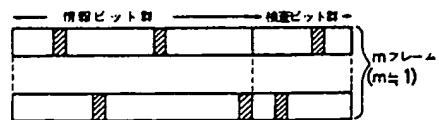
第1図

情報ビット群 検査ビット群

第2図



第3図



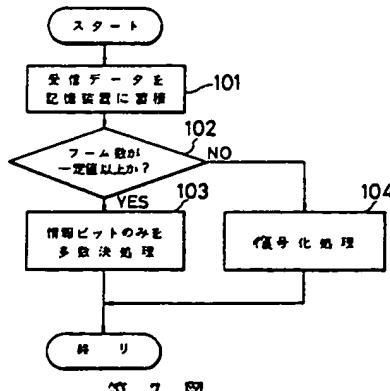
第4図

$$\begin{pmatrix} 0 & 0 & 1 & 0 & 1 & 1 & 1 \\ 0 & 1 & 0 & 1 & 1 & 1 & 0 \\ 1 & 0 & 0 & 1 & 0 & 1 & 1 \end{pmatrix} \begin{pmatrix} X_0 \\ X_1 \\ X_2 \\ X_3 \\ X_4 \\ X_5 \\ X_6 \end{pmatrix} = S$$

第5図

$$\begin{pmatrix} 0 & 0 & 1 & 0 & [1] & 1 & 1 \\ 0 & 1 & 0 & 1 & 1 & 1 & 0 \\ 1 & 0 & 0 & 1 & 0 & 1 & 1 \end{pmatrix} \begin{pmatrix} 0 \\ 1 \\ 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} = \begin{pmatrix} 1 \\ 1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix}$$

第6図



第7図

BEST AVAILABLE COPY